



M Ű E G Y E T E M 1 7 8 2  
Budapesti Műszaki és Gazdaságtudományi Egyetem  
Méréstechnika és Információs Rendszerek Tanszék

## Hierarchikus állapotgépek formális verifikációja

**Czipó Bence III. évf., BSc mérnökinformatikus szakos hallgató**

**Konzulensek: Hajdu Ákos doktorandusz, MIT,**

**Molnár Vince doktorandusz, MIT,**

**Szárnyas Gábor doktorandusz, MIT**

**Informatikai rendszerek szakirány, Rendszertervezés ágazat**

**Önálló laboratórium összefoglaló**

**2015/16. II. félév**

Az önálló labor keretein belül véges, hierarchikus állapotgépekkel foglalkoztam. A véges állapotgépek a viselkedésmoდეllek egyik kedvelt formájaként a mérnöki tervezés alapjai, véges sok állapotot és köztük futó állapotátmeneteket írnak le, az összetettebb állapotgépek párhuzamos régiókat és hierarchikusan egymásba ágyazott állapotokat is tartalmazhatnak. Bevert tervezési eszköz lévén kritikus feladat működésük helyességének ellenőrzése, ami gyakran történik korlátos elérhetőségi analízissel.

A verifikációra a gyakorlatban leginkább bevett módszer a SAT (kielégíthetőségi) [3] problémára leképezés, mindazonáltal az állapotgépekben levő hierarchia komoly kihívást jelent. Általánosan használt megoldás az úgynevezett kilapítás, ami eltünteti a hierarchiát, ám exponenciális növekedést eredményez az állapotok számában. Az önálló labor során további leképzési módszerek tervezésével, megvalósításával és egymással, illetve a már létező eljárásokkal történő összehasonlításával foglalkoztam.

Az önálló laboratórium során az állapotkonfigurációk elérhetőségének vizsgálatához az állapotgépeken korlátos állapotfelderítést valósítottam meg. A munka során saját belső állapotgép reprezentációt definiáltam a támogatni kívánt állapotgép elemekkel együtt. Az állapottér felderítéshez nulladrendű logikai formulákra képeztem le az állapotgépeket, majd ezeket kielégíthetőségi problémaként vizsgáltam különböző SAT solverekkel. A félév során közvetlen leképezést valósítottam meg a Choco solverre [1] általam definiált logikai formulákon keresztül, illetve leképezést valósítottam meg a tanszéki TTMC [2] projekt saját logikai formuláira, amik további leképezését és vizsgálatát a projekt moduljaival végeztem el. A logikai formulákra leképezéshez három különböző kódolót terveztem, amiből kettőt sikeresen meg is valósítottam. A munka során végig arra törekedtem hogy a leképezések a felsőbb rétegek szempontjából transzparenssé történjenek.

A leképezésen kívül a munka része volt az állapotgép modellek beolvasása, melyeket egy Xtext leíró által definiált EMF modelltől képeztem le a saját belső állapotgép reprezentációmra. Az EMF modell szintén a korábban említett TTMC projekt része, ugyanakkor a leképezés céljából szolgáló állapotgépnél kifejezőbb, így csupán egy részhalmaza támogatott.

A féléves munka eredményeként sikeres állapottér felderítést végeztem egyszerű hierarchikus állapotgépeken, amik csak valódi illetve kezdőállapotokkal rendelkeznek, illetve olyan állapotátmenetekkel, amelyeket legfeljebb egy esemény vált ki, továbbá az állapotgép működése során további események nem váltódnak ki.

[1] <http://choco-solver.org/>

[2] <https://github.com/FTSRG/ttmc>

[3] [https://en.wikipedia.org/wiki/Boolean\\_satisfiability\\_problem](https://en.wikipedia.org/wiki/Boolean_satisfiability_problem)